

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018008

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 06-146606

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.06.1994

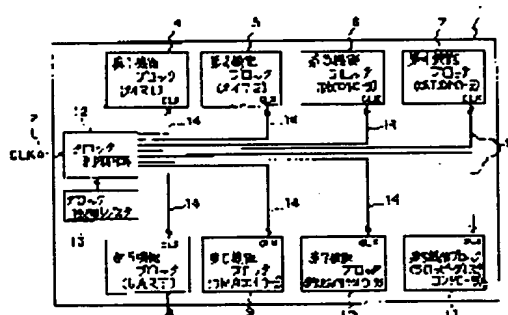
(72)Inventor : HASEGAWA KENJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To suppress wasting of power caused by no supply of clock signal to unused functional block signal, by controlling supply of clock signal to a functional block based on the functional block selection data stored in a clock control register.

CONSTITUTION: A clock control circuit 12, based on the value of control data written and set in a clock control register 13, controls supply of clock signal to each functional block. That is, by setting control data corresponding to used and unused functional blocks in the clock control register 13, the clock signal supplied to unused functional block is stopped, so that, wasteful power consumption caused by supplying clock signal to unused functional block is suppressed.



(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18008

(43)公開日 平成8年(1996)1月19日

(51)IntCl.⁴ H01L 27/04 21/822
H01L 27/04 V

特許請求の範囲

(21)出願番号 願平8-146508
(22)出願日 平成8年(1994)6月28日
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 長谷川 健次
伊丹市瑞穂4丁目1番地 三菱電機株式会社
社北伊丹製作所内
(70)代理人 弁理士 田崎 博昭 (外2名)

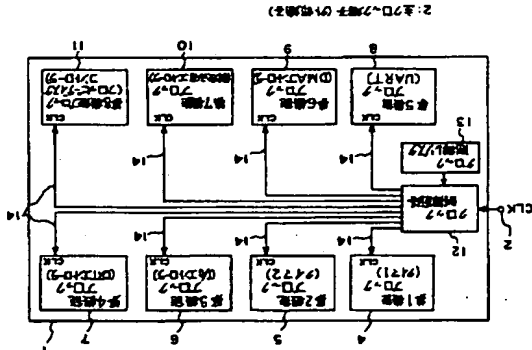
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 無駄な電力消費の少ない半導体集積回路を得る。

【構成】 複数の機能ブロック4~11が存在する半導体集積回路1において、主クロック端子2は、クロック制御レジスタ13は、クロック制御回路12をコントロールする。クロック制御回路12から内部分岐クロックが出力され、各機能ブロック4~11に供給される。

【効果】 使用されていない機能ブロックによって無駄に電力が消費されることがなくなることによって低消費電力化が可能になる。



【特許請求の範囲】

【請求項1】 外部端子から供給されるクロック信号を基に複数の機能ブロックを内蔵した半導体集積回路装置において、前記機能ブロックへのクロック信号の供給を制御するための機能ブロック選択データを格納するクロック制御レジスタと、該クロック制御レジスタに格納された機能ブロック選択データを基に前記機能ブロックへの前記クロック信号の供給を制御するクロック制御回路とを備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記機能ブロックへのクロック信号の供給を制御する前記クロック制御回路をタイマにより時間的に制御することを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記機能ブロックへのクロック信号の供給を制御するクロック制御回路を、外部から送られてくる受信データにより制御する非同相式汎用伝送回路を備えたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記非同相式汎用伝送回路は、外部から送られてくるデータとあらかじめ設定されたデータとを比較手段において比較した結果が一致する場合に限りクロック制御回路を制御することを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 外部から入力される前記クロック信号を受け付ける前記クロック制御回路と、該前記クロック信号を受け付けられたときに機能ブロックへのクロック信号の供給の制御を行うための前記クロック制御回路を選択データを格納する前記クロック制御レジスタとを備え、前記クロック制御回路はクロック制御レジスタに格納されたクロック信号の供給を制御し、あるいは前記クロック制御回路が前記クロック制御レジスタに格納された前記クロック信号の供給を受け付けたときには前記クロック制御回路を選択データを基に前記クロック制御回路のクロック信号の供給を制御することを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記クロック制御回路を時間的に制御するタイマを備え、前記クロック制御回路は前記タイマの出力とクロック制御レジスタに格納された機能ブロック選択データとを基に機能ブロックへのクロック信号の供給を制御し、あるいは前記クロック制御回路が前記クロック制御レジスタに格納された前記クロック信号の供給を受け付けたときには前記クロック制御回路を選択データを基に前記クロック制御回路のクロック信号の供給を制御することを特徴とする請求項5記載の半導体集積回路装置。

【発明の詳細な説明】

100011

【産業上の利用分野】 この発明は、複数の機能ブロックを有した半導体集積回路装置に関するものである。

10002

【従来の技術】 図7は、従来の半導体集積回路装置である。図において、1は複数の機能ブロックを内蔵した半導体集積回路装置、2は半導体集積回路装置1にクロック信号を供給する主クロック端子である。3は半導体集積回路装置1の内部の各機能ブロックにクロック信号を供給する内部クロック信号線である。4は前記機能ブロックの一つであるタイマ機能部を有した第1機能ブロックである。5もタイマ機能部を有した第2機能ブロックである。6は10分周を行う10分周コンローラとしての機能部を有した第3機能ブロックである。7はCRTを制御するCRTコンローラとしての機能部を有した第4機能ブロックである。8はUART (Universal Asynchronous Receiver and Transmitter) としての機能部を有した第5機能ブロックである。9はDMAコンローラとしての機能部を有した第6機能ブロックである。10は割り込み用コンローラとしての機能部を有した第7機能ブロックである。11はフレキシブルディスクコンローラとしての機能部を有した第8機能ブロックである。

【0003】 従来の半導体集積回路装置は以上のように内部の処理部分が第1機能ブロック4と第2機能ブロック5と第3機能ブロック6と第4機能ブロック7と第5機能ブロック8と第6機能ブロック9と第7機能ブロック10と第8機能ブロック11から構成されている。この半導体集積回路装置1では、主クロック端子2から供給されたクロック信号は、内部クロック信号線3を通過し前記各機能ブロックに供給されている。

10004

【発明が解決しようとする課題】 従来の半導体集積回路装置は以上のように構成されているので、使用されていない機能ブロックがあっても、主クロック端子2から全ての機能ブロック4~11へクロック信号が常に供給されるため、内部クロック信号線3に接続されている使用されていない機能ブロックのクロック信号供給系においてクロック信号の供給に伴う電力が無駄に消費される問題があった。

【0005】 請求項1の発明は、上記のような問題を解消するためになされたもので、使用されない機能ブロック信号にクロック信号が供給されることによる無駄な消費電力を抑制できる半導体集積回路装置を得ることを目的とする。

【0006】 請求項2の発明は、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を、時間的に抑制する半導体集積回路装置を得ることを目的とする。

【0007】 請求項3の発明は、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御し抑制できる半導体集積回路装置を得ることを目的とする。

【0008】 請求項4の発明は、使用されない機能ブロック

(5)

【0033】次に動作について説明する。クロック制御レジスタ13に書き込まれた制御データの値に基づいてクロック制御回路12が各機能ブロック4～11へのクロック出力の供給を制御する動作を開始するのは、データ受信部20にUART19のコンパリア手段19aに設定したデータと同じデータが送られてきたときである。

【0034】このような機能が有効に利用されるものとして携帯電話などがある。携帯電話においては電話の受信待機中には、第5機能ブロック8から第8機能ブロック11までの機能は使用せず、また受信時には全機能ブロックにクロック信号が供給される。このように場合、全機能ブロックにクロック信号が供給されるような制御データをクロック制御レジスタ13に設定し、電話受信データをクロック制御レジスタ13に設定した前記制御データの値が追加に挿入された、UART19のコンパリア手段19aに設定したデータと同じデータが受信されたときにクロック制御レジスタ13に設定した前記制御データの値が実行されるようにして、全機能ブロックにクロック信号を供給し、回線を接続して通話を行うことができる。

【0035】また、クロック制御レジスタ13に第5機能ブロック8から第8機能ブロック11までのクロック信号の供給を停止する制御データを設定し、通話終了時の受信データの最後でUART19のコンパリア手段19aに設定したデータと同じデータが受信されたときに、クロック制御レジスタ13に設定した前記制御データの値が実行され、第5機能ブロック8から第8機能ブロック11までのクロック信号の供給を停止し、第1機能ブロック4から第4機能ブロック7まではクロック信号を供給し、再度受信待機に移行する。

【0036】従って本実施例では、外部から送られてきたデータを基にUART19により、クロック制御回路12による各機能ブロックへのクロック信号の供給あるいはクロック信号の供給の停止を制御することが可能となる。

【0037】実施例4. 以下、請求項5および請求項6の発明の一実施例を例について説明する。図5は、本実施例の半導体集積回路装置の構成を示すブロック図である。図5においては同一の符号を付し説明を省略する。図5において2はCRTである。22は第4機能ブロック7とCRT21を接続しているCRT制御回路である。23はキーボードである。24はキーボード23と第7機能ブロック10との間を接続するキーボード23および第7機能ブロック10の間の接続するキーボード23からキーボード23へのクロック信号が出力される。25は第7機能ブロック10からクロック制御回路12への新設込み信号が出力されるクロック制御回路12の構成である。26はクロック制御回路12による各機能ブロックへのクロック信号の供給を制御するための制御データが書き込まれる第1クロック制御

レジスタである。27は新設込みが受け付けられたときにクロック制御回路12による各機能ブロックへのクロック信号の供給を制御する制御データが書き込まれる第2クロック制御レジスタである。28は新設込みを受け付ける新設込み処理部である。

【0038】図6は、図5に示す第1クロック制御レジスタ26と第2クロック制御レジスタ27に書き込まれる設定された制御データを示す説明図である。図6(a)は、第4機能ブロック7のみにクロック信号を供給しない制御データ「11101111」が第1クロック制御レジスタ26に設定された状態を示している。図6(b)は、すべての機能ブロックにクロック信号を供給するときの設定データが第2クロック制御レジスタ27に書き込まれた状態を示している。

【0039】次に動作について説明する。半導体集積回路装置1の各機能ブロックへのクロック信号の供給は、主クロック端子2からクロック制御回路12を介して各機能ブロックへ接続された内部分岐クロック信号線14により行われている。クロック制御回路12は、第1クロック制御レジスタ26あるいは第2クロック制御レジスタ27に書き込んだ制御データの値により、各機能ブロックへのクロック信号の供給を制御する。

【0040】例えば、携帯用パソコンなどにおいてタイマ18に設定された時間、キーボード23から第7機能ブロック10を介して新設込み処理部28へ新設込み信号が入力されない場合は、タイマ18に設定された時間が経過し、あるいはタイマ18に設定された時間が経過するまでの間、第1クロック制御レジスタ26に設定された制御データの値が実行されることにより、第4機能ブロック7へのクロック信号の供給を停止し、CRT21への制御を止める。

【0041】次に、キーボード23から第7機能ブロック10を介して新設込み信号が入力されると、第2クロック制御レジスタ27に設定された制御データの値が実行されて各機能ブロックへのクロック信号の供給を制御する。この場合、制御データは「11111111」であるから第4機能ブロック7および全ての機能ブロックにクロック信号が供給され、CRT21への制御を開始する。

【0042】このように本実施例によれば、タイマ18の出力とキーボード23からキー入力された新設込み信号とに応じて、各機能ブロックへのクロック信号の供給を、第1クロック制御レジスタ26に設定された制御データの値に従ったものから第2クロック制御レジスタ27に設定された制御データの値に従ったものにより切り替えることができ、各機能ブロックへのクロック信号の供給の制御に柔軟性を与えることが可能となる。

【0043】なお、以上説明した実施例では、タイマ18と新設込み処理部28とをクロック制御回路12に設けるように構成したが、タイマ18を設けることなく新設

(6)

み処理部28のみを設け、新設込み処理部28において受け付けた新設込みの内容に応じて第1クロック制御レジスタ26あるいは第2クロック制御レジスタ27の制御データの値に応じて各機能ブロックへのクロック信号の供給の制御が行われるように構成してもよい。

【0044】**【発明の効果】** 以上のように、請求項1の発明によれば、機能ブロック選択データを格納するクロック制御レジスタと、該クロック制御レジスタに格納された機能ブロック選択データを基に各機能ブロックへのクロック信号の供給を制御するクロック制御回路とを備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を抑制できる。半導体集積回路装置が得られる効果がある。

【0045】請求項2の発明によれば、各機能ブロックへのクロック信号の供給を制御する前記クロック制御回路をタイマにより時間的に制御するように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を、時間的に抑制できる。半導体集積回路装置が得られる効果がある。

【0046】請求項3の発明によれば、各機能ブロックへのクロック信号の供給を制御するクロック制御回路を、外部から送られてくる受信データにより制御する非同同期式伝送回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御し抑制できる。半導体集積回路装置が得られる効果がある。

【0047】請求項4の発明によれば、外部から送られてくるデータとあらかじめ設定されたデータとを比較手段において比較した結果が、一致する場合に限りクロック制御回路を制御する非同同期式伝送回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御し抑制できる。半導体集積回路装置が得られる効果がある。

【0048】請求項5の発明によれば、新設込み処理部が新設込み信号を受け付けたときに、新設込みクロック制御レジスタに格納された新設込み機能ブロック選択データにより機能ブロックへのクロック信号の供給を制御するクロック制御回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることに

よる無駄な消費電力を新設込み制御により抑制できる。半導体集積回路装置が得られる効果がある。

【0049】請求項6の発明によれば、タイマの出力とクロック制御レジスタに格納された機能ブロック選択データとを基に各機能ブロックへのクロック信号の供給を制御し、あるいは新設込み処理部が新設込み信号を受け付けるときには新設込みクロック制御レジスタに格納された新設込み機能ブロック選択データを基に前記各機能ブロックへのクロック信号の供給を制御するクロック制御回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を時間的に抑制し、また使用されない機能ブロックによる無駄な消費電力を抑制できる。半導体集積回路装置が得られる効果がある。

【図面の簡単な説明】
【図1】 請求項1の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図2】 請求項1の発明の一実施例による半導体集積回路装置のクロック制御レジスタに書き込まれた制御データを示す説明図である。

【図3】 請求項2の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図4】 請求項3と請求項4の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図5】 請求項5と請求項6の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図6】 請求項5と請求項6の発明の一実施例による半導体集積回路装置のクロック制御レジスタに書き込まれた制御データを示す説明図である。

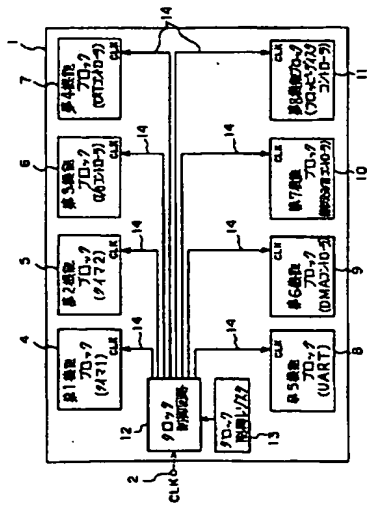
【図7】 従来の半導体集積回路装置の構成を示すブロック図である。

【符号の説明】

2 主クロック端子 (外部端子)、4 第1機能ブロック、5 第2機能ブロック、6 第3機能ブロック、7 第4機能ブロック、8 第5機能ブロック、9 第6機能ブロック、10 第7機能ブロック、11 第8機能ブロック (機能ブロック)、12 クロック制御回路、13 クロック制御レジスタ、18 タイマ、19 UART (非同同期式伝送回路)、19a コンパリア手段 (比較手段)、28 新設込み処理部。

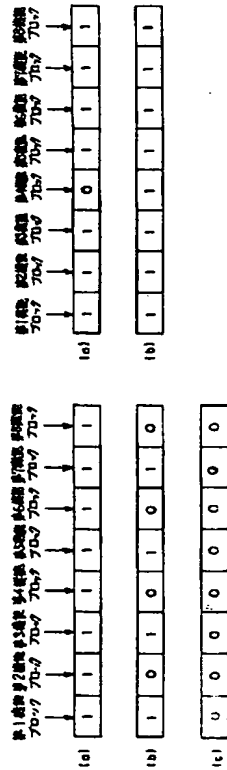
(7)

【図1】

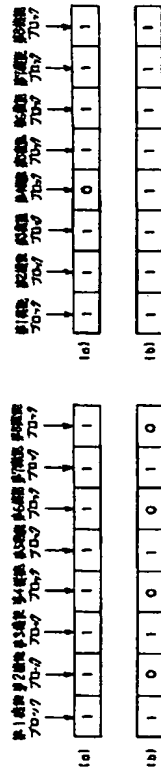


2:主クロック周子 (10MHz)

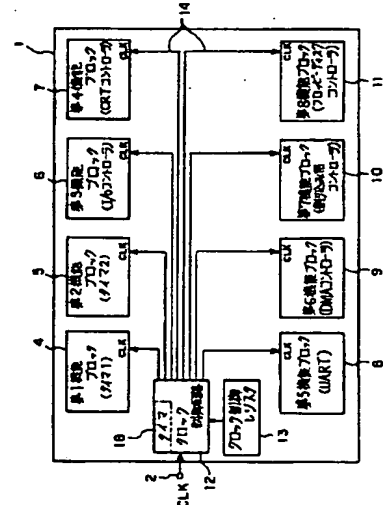
【図2】



【図6】

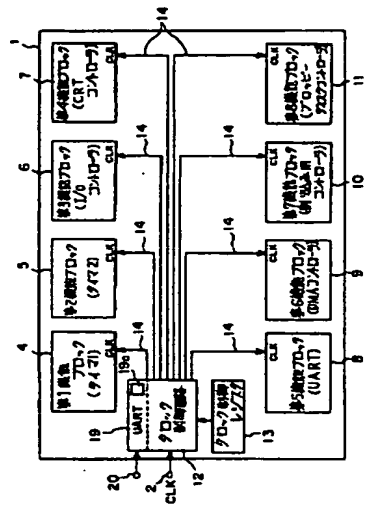


【図3】



(8)

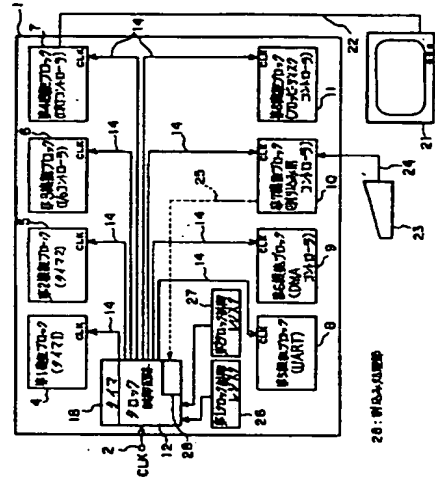
【図4】



19:UART (データ入力/出力用回路)

19a:コンパイル (比較)

【図5】



28:データバス

(9)

【図7】

